

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**INFORMATION REPRODUCING DEVICE**

Patent Number: JP5325413  
Publication date: 1993-12-10  
Inventor(s): ISHII JUNICHI; others: 02  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP5325413  
Application Number: JP19920126336 19920519  
Priority Number(s):  
IPC Classification: G11B20/10  
EC Classification:  
Equivalents: JP3083202B2

---

**Abstract**

---

**PURPOSE:** To enable reproducing the information data having high reliability even if the offset level of a regenerative signal is varied in a digital equalization processing.

**CONSTITUTION:** The regenerative signal SP digitized with an A/D converter 1 is processed in equalization by the equalizer of a three-tap transversal filter consisting of latch circuits 2, 3, multipliers 4, 5, and an adder 6. The signal processed in equalization is supplied to an offset detecting circuit 12, and the input offset value OFFd of the regenerative signal is detected from specific pattern data added to the signal. Each bit of the signal processed in equalization is discriminated by a comparator 7 for discriminating the data, and stored in a memory 10 with the output data of a comparator 8 for detecting equalization error. Variation of an offset level of the signal processed in equalization is calculatedly using data stored in this memory 10 and the input offset value OFFd with a computing element 11, therefore, a threshold value control circuit 9 sets a threshold value in a comparator 7 for discriminating the data to the optimum value.

---

Data supplied from the esp@cenet database - I2



## 【特許請求の範囲】

【請求項 1】 情報データが記録された情報記録領域に先立って特定パターンデータが記録された特定データ記録領域が設けられた記録媒体の情報再生装置において、該記録媒体の再生信号を  $n$  ビット（但し、 $n$  は 1 以上の整数）のデジタル信号に変換するアナログ・デジタル変換手段と、

該アナログ・デジタル変換手段の出力データを演算し、その振幅を等化する等化手段と、

該等化手段の出力データの振幅から “1”、“0” ビットを判別する判別手段と、

該再生信号での該特定パターンデータの振幅の演算処理により、該再生信号のオフセット量を検出するオフセット検出手段とを有することを特徴とする情報再生装置。

【請求項 2】 請求項 1 において、

前記オフセット検出手段は、前記特定パターンデータでの前記サンプルデータの値の総和を得、前記特定パターンデータでの該サンプルデータ数を除数とし、該総和を該除数で除算して前記オフセット量とすることを特徴とする情報再生装置。

【請求項 3】 請求項 2 において、

前記特定パターンデータの前記サンプルデータ数を 2 の  $m$  乗（但し、 $m$  は 1 以上の整数）とすることを特徴とする情報再生装置。

【請求項 4】 請求項 1 において、

前記オフセット検出手段の入力は前記等化手段の出力データであって、

前記特定パターンデータの再生期間、前記等化手段の等化特性を無等化の状態に設定することを特徴とする情報再生装置。

【請求項 5】 請求項 1 において、

前記等化手段で等化演算処理する際に発生するレベル変動を検出し、前記判別手段での前記判別のための閾値を制御する制御手段を有することを特徴とする情報再生装置。

【請求項 6】 請求項 5 において、

前記判別手段でのビット数を前記アナログ・デジタル変換手段の量子化ビット数よりも大きくしたことを特徴とする情報再生装置。

【請求項 7】 請求項 1 において、

前記アナログ・デジタル変換手段の出力データを等化演算処理する際に発生する前記再生信号のレベル変動を補正するレベル変動補正手段を設けたことを特徴とする情報再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、再生特性が記録媒体の特性、記録再生条件等のバラツキにより変動した場合にも再生信号を常に好適に等化する自動等化器をデジタル回路で構成した場合において、再生信号のオフセット

レベル変動に対しても、信頼性の高い情報再生を行なうことを可能とする情報再生装置に関する。

【0002】

【従来の技術】 デジタルデータの記録情報を再生する場合、記録媒体からの記録再生特性が周波数特性を持つために、再生情報信号のデジタル符号間に干渉が生じてデジタルデータの識別が困難になる場合がある。この符号間干渉を取り除いてデジタルデータの識別の信頼性を高めるために、波形等化器が用いられる。近年の LSI に代表されるデジタル技術の急速な進歩により、特性の優れたデジタル等化器を実現することが可能になり、これが従来のアナログ等化器に置き換わりつつある。さらに、再生特性に応じて最適な等化を行なうことができる自動等化器の実現も容易となってきている。

【0003】 かかる等化特性の変更が可能な自動等化器は、従来の等化特性が固定の等化器に比べ、次のような利点がある。

【0004】 1. 初期調整が簡単になる。

【0005】 2. 記録済み記録媒体の互換再生時での信頼性が向上する。

【0006】 3. 再生特性のバラツキに対するマージンを見込む必要がないために、高密度化が可能となる。

【0007】 自動等化器は以上のような利点があり、また、デジタル技術の進歩によって実現が容易になってきているが、デジタル回路で構成した波形等化回路の一例として、例えば特開平 1-229516 号公報に記載のような自動等化器が提案されている。

【0008】

【発明が解決しようとする課題】 しかしながら、等化器をデジタル回路で構成した場合、等化処理が施された再生信号の 2 値化、即ち再生信号の “1”、“0” ビットを識別する際には、次のような問題があり、その点についてはこれまで考慮されていなかった。

【0009】 図 10 (a) に示すように、アナログの再生信号を  $n$  ビットの A/D（アナログ/デジタル）変換器でデジタルデータに変換する場合、A/D 変換器の入力電圧範囲に対してアナログ再生信号の振幅のピーク・トゥ・ピーク値が小さくなるように、再生信号の振幅が設定される。このために、アナログ信号の基準となるレベル（つまり、等化を行なう際の符号間干渉を評価するための基準レベル） $E_s$  に対して、デジタルデータの演算処理を行なう際の基準レベルであるデジタルデータが値 0 のレベル（以下、ゼロレベルという） $E_z$  との間に差（オフセット）を持つことになる。デジタル回路で構成した等化器では、このゼロレベル  $E_z$  を基準として、符号間干渉が少なくなるように、デジタルデータに変換された再生信号の等化が行われる。

【0010】 ところで、演算基準レベルに対してオフセットを持つ再生信号に等化演算処理を行なうと、図 10

(b) に示すようにオフセットレベルが変動し、等化前のオフセットと等化後のオフセットの間に差が生じる。このオフセットレベルの変動量  $L_d$  は、等化器を図 11 に示すような 3 タップのディジタルトランスバーサルフィルタとした場合、次の数 1 で表わされる。

【 0 0 1 1 】

$L_d = 2 \cdot C_1 \cdot OFF_d \dots\dots\dots$  (数 1)

但し、 $C_1$  : 3 タップディジタルトランスバーサルフィルタのタップ係数、

$OFF_d$  : アナログ再生信号を  $n$  ビットの A/D 変換器でディジタルデータに変換した場合のアナログ基準レベルに対するディジタル値 (即ち、上記基準レベル  $E_s$  であって、これを入力オフセット量という)。

【 0 0 1 2 】 オフセットレベルの変動量  $L_d$  は、上記数 1 で表わされるように、タップ係数  $C_1$  と入力オフセット量  $OFF$  で求められるので、等化後のオフセットレベルの変動量  $L_d$  を補正するためには、これらタップ係数  $C_1$  と入力オフセット量  $L_d$  を予め知っておく必要がある。タップ係数  $C_1$  は正確に知ることができるが、入力オフセット量  $OFF$  は、再生信号を A/D 変換器の入力電圧範囲内に設定するために印加される直流電圧の変動や A/D 変換器の誤差などにより、固定値とはならない。このため、等化処理による再生信号に発生するオフセットレベルの変動量  $L_d$  を除去することができなかった。

【 0 0 1 3 】 また、等化後の再生信号のオフセットレベルの変動により、再生信号の “1” , “0” の 2 値のディジタルデータを識別する際の閾値も変動することになる。特に、自動等化によってトランスバーサルフィルタのタップ係数が逐次変更される場合には、閾値も最適な値から逐次変動していくことになる。このようなことになると、ディジタルデータがオーバーフローやアンダーフローが発生する場合もある。

【 0 0 1 4 】 以上のように、ディジタル等化器を用いた場合には、オフセットレベルの変動が発生し、信頼性の高いデータ再生を行なうことが難しくなるという問題点がある。

【 0 0 1 5 】 本発明の目的は、かかる問題を解消し、ディジタル等化器を用いた等化演算処理でディジタルデータにオフセットレベルの変動が生じて、信頼性の高いデータ再生を行なうことができるようにした情報再生装置を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】 上記目的を達成するために、本発明は、情報データが記録された情報記録領域に先立って特定パターンデータが記録された特定データ記録領域が設けられた記録媒体の情報再生装置であって、該記録媒体の再生信号が供給されるアナログ・ディジタル変換手段と、該アナログ・ディジタル変換手段の出力データを等化する等化手段と、該等化手段の出力データ

の振幅から “1” , “0” ビットを判別する判別手段と、該再生信号での該特定パターンデータから該再生信号のオフセット量を検出するオフセット検出手段とを有する。

【 0 0 1 7 】 また、本発明は、上記オフセット検出手段の入力は上記等化手段の出力データであって、上記特定パターンデータの再生期間、上記等化手段の等化特性を無等化の状態に設定する。

【 0 0 1 8 】 さらに、本発明は、上記等化手段で等化演算処理する際に発生するレベル変動を検出し、これによって上記判別手段での上記判別のための閾値を制御する制御手段を設ける。

【 0 0 1 9 】 さらにまた、本発明は、上記判別手段でのビット数を上記アナログ・ディジタル変換手段の量子化ビット数よりも大きくする。

【 0 0 2 0 】 さらにまた、本発明は、上記アナログ・ディジタル変換手段の出力データを等化演算処理する際に発生する上記再生信号のレベル変動を補正するレベル変動補正手段を設ける。

【 0 0 2 1 】

【作用】 本発明では、再生された特定パターンデータは情報データではなく、情報データと同じ振幅、レベルで記録媒体に記録されたものである。従って、この記録媒体から情報データを再生するときには、このとき再生される特定パターンデータは情報データと同じ振幅、レベルの変動を受ける。このため、特定パターンデータと情報データの中心レベルは等しく、情報データのオフセットレベルは特定パターンデータの中心レベルとなる。そこで、再生対象となる情報データに先立って特定パターンデータが再生されるから、オフセット検出手段は情報データに先立ってそのオフセットレベルを検出することができ、これと等化器のタップ係数とから上記のオフセットレベルの変動量が得られ、これにより、上記判別手段の閾値を等化処理によるオフセットレベルの変動に応じた最適なものとすることができる。

【 0 0 2 2 】 また、本発明では、上記特定パターンデータの再生時、上記等化器を無等化特性とすることにより、オフセット検出手段は上記等化器の出力データから再生情報データのオフセットレベルを検出することができる。

【 0 0 2 3 】 さらに、本発明では、上記判別手段でのビット数を A/D 変換手段での量子化ビット数より大きくすることにより、等化処理によってオフセットレベルが変動しても、上記判別手段でオーバーフローやアンダーフローが生ずることがない。

【 0 0 2 4 】 さらにまた、本発明では、上記オフセット検出手段で検出された入力オフセット値により、レベル変動補正回路で等化処理された情報データのオフセットレベルの変動が除かれるので、上記判別手段の入力情報データはオフセットレベルが一定であり、従って、上記

判別手段の閾値の変動が発生せず信頼性の高い情報データ再生を行なうことができる。

【 0 0 2 5 】

【実施例】以下、光ディスク装置に適用した場合の本発明の実施例を図面を用いて説明する。図 1 は本発明による情報再生装置の一実施例を示す回路ブロック図であって、1 は A/D 変換器、2、3 はラッチ回路、4、5 は乗算器、6 は加算器、7 はデータ判別用比較器、8 は等化誤差検出用比較器、9 は閾値制御回路、10 はメモリ、11 は演算回路、12 はオフセット検出回路、13 は入力端子、14 は出力端子である。

【 0 0 2 6 】 同図において、ラッチ回路 2、3、乗算器 4、5 及び加算器 6 は等化回路としての 3 タップディジタルトランスバースフィルタを構成しており、図示しない光ディスクの再生信号 P S が、A/D 変換器 1 でデジタルデータに変換された後、この 3 タップディジタルトランスバースフィルタに供給される。この 3 タップディジタルトランスバースフィルタは、その乗算器 4、5 が外部から制御されることにより、即ち演算回路 11 によって利得が制御されることにより、タップ係数が制御可能となっている。

【 0 0 2 7 】 この 3 タップディジタルトランスバースフィルタで等化処理されたデジタルデータ E P D は加算器 6 から得られ、データ判別用比較器 7、等化誤差検出用比較器 8 及びオフセット検出回路 12 に供給される。データ判別用比較器 7 はこの等化処理されたデジタルデータ E P D の “1”、“0” ビットを判別するためのものであり、この判別のための閾値は、閾値制御回路 9 によって制御される。等化誤差検出用比較器 8 は等化処理されたデジタルデータ E P D を基準値と比較して等化誤差を検出するものであって、この基準値は演算回路 11 からの誤差信号によって制御される。オフセット検出回路 12 は光ディスクの特定パターンの情報が記録されている特定データ記録領域からの再生信号に対する加算器 6 の出力データから上記数 1 の入力オフセット量 O F F d を検出するためのものである。

【 0 0 2 8 】 データ判別用比較器 7 の出力データは、所望の処理がなされたデジタルデータとして、出力端子 14 から出力されるとともに、等化誤差検出用比較器 8 の出力データとともにメモリ 10 に格納される。演算回路 11 はメモリ 10 に格納されている上記データから自動等化に必要な評価値を求め、3 タップトランスバースフィルタでの乗算器 4、5 の利得調整を行なってタップ係数を制御するとともに、閾値制御回路 9 や等化誤差検出用比較器 8 に所定の制御データを送って、データ判別用比較器 7 での閾値の制御や等化誤差検出用比較器 8 での基準値の制御を行なわせる。

【 0 0 2 9 】 この実施例で用いる自動等化器のアルゴリズムとしては、アイパターンが完全に閉止するような周波数特性の劣化が起こらないことを前提とした場合に

は、特別なトレーニングデータを用いずにタップ係数を収束できる適応型ゼロ・フォーシング・アルゴリズム

(以下、Z F 法という)を用いている。Z F 法は、符号間干渉成分の最悪値を評価関数とする等化アルゴリズムである。等化器の出力端子でのインパルスレスポンスを  $h(t)$  とすると、等化後の符号間干渉量の絶対値の和  $D$  は次の数 2 で表わされる。

【 0 0 3 0 】

【数 2】

$$D = \sum_{\substack{k=-\infty \\ k \neq 0}}^{\infty} |h(kT)|$$

【 0 0 3 1 】 Z F 法は、この和  $D$  の値が最小になるように、等化器である 3 タップトランスバースフィルタのタップ係数を制御するアルゴリズムである。図 1 の実施例では、データ判別用比較器 7 と等化誤差検出用比較器 8 のデータを夫々メモリ 10 に格納し、演算回路 11 で自動等化に必要な評価値を求め、3 タップトランスバースフィルタでの乗算器 4、5 のタップ係数と等化誤差検出用比較器 8 を制御することにより、自動等化を行なっているのである。

【 0 0 3 2 】 次に、この実施例の動作を説明する。図示しない光ディスクからの再生信号 P S は “1”、“0” ビットからなるが、再生によってその振幅がアナログ的に変化しており、入力端子 13 から入力されて、 $n$  ビットの A/D 変換器 1 によりデジタルデータに変換される。ここで、 $n=8$  とすると、A/D 変換器 1 の出力デジタルデータは 0 から 255 までの整数値をとる。この際、図 2 に示すように、再生信号 P S の振幅のピーク・トゥ・ピーク値  $V_{p-p}$  は、A/D 変換器 1 の入力レベル可能範囲  $V_{it} \sim V_{ib}$  に対し、その上下にマージンを持つように設定される。このため、再生信号 P S の符号間干渉を評価するために用いる基準レベル (図 2 の場合、再生信号 P S の 0 (V) に対応したデジタルデータ値。即ち、図 10 (a) における基準レベル  $E_s$ ) とデジタルデータの基準レベルであるデジタルデータ値 0 (即ち、図 10 (a) における基準レベル  $E_z$ ) の間の差 (入力オフセット O F F d) が生じることとなる。このため、かかるオフセットを含んだデジタルデータを自動等化器である 3 タップトランスバースフィルタで等化演算処理を行なった場合には、入力オフセット量により、等化処理されたデジタルデータ E P D にオフセット量の変動 (図 10 での  $L_d$ ) が生じることになる。

【 0 0 3 3 】 このオフセットの変動量は、上記数 1 のように、3 タップトランスバースフィルタでの入力オフセット量 O F F d と、演算回路 11 によって設定される 3 タップトランスバースフィルタのタップ係数  $C_i$  に求められる。しかし、入力オフセット量 O F F d は、

前述のように、回路設計値から変動するため、等化処理されたデジタルデータ E P D のオフセットレベルも変動する。

【 0 0 3 4 】そこで、このオフセットレベルの変動を補正するために、この実施例では、オフセット検出回路 1 2 によって入力オフセット量 O F F d を求めるのであるが、以下、この入力オフセット量 O F F d の検出について説明する。

【 0 0 3 5 】光ディスクの各セクタには、図 3 に示すように、情報データが記録されているデータ記録領域に先立ち、ある決められた特定のパターンのデータ（特定パターンデータ）が記録されている特定データ記録領域が設けられている。即ち、かかる記録フォーマットにより、データ記録時には、必ずデータ記録領域前の特定データ記録領域にかかる特定パターンデータが書き込まれる。図 4 はかかる特定パターンデータの一例を示すものであって、ここでは、同数の“1”ビットと“0”ビットとからなり、これらが交互に配列されたパターンとする。

【 0 0 3 6 】そこで、かかる光ディスクから情報再生を行なう場合、各セクタで、まず、特定データ記録領域から特定パターンデータが再生され、しかる後、データ記録領域から情報データが再生される。この再生されてデジタル化された特定パターンデータが 3 タップデジタルトランスバースフィルタに供給されると、この 3 タップデジタルトランスバースフィルタは、後述するようにして、無等化の特性となり、等化処理されないこの特定パターンデータがオフセット検出回路 1 2 に供給されて、入力オフセット量 O F F d が検出される。

【 0 0 3 7 】図 5 はかかるオフセット検出回路 1 2 の一具体例を示すブロック図であって、1 2 a は特定データ領域検出器、1 2 b は加算器、1 2 c はレジスタ、1 2 d は除算器である。

【 0 0 3 8 】同図において、特定データ領域検出器 1 2 a は、再生信号 P S（図 1）から得られた再生クロック  $\phi_p$  をカウントすることにより、再生中の光ディスクでの各セクタ毎に特定パターンデータの書き込まれている特定データ領域の先頭再生タイミングと終端再生タイミングとを検出し、図 6 に示す 2 種類の制御信号、即ち、特定データ記録領域の再生期間でのみ“H”（高レベル）となる期間制御信号  $S_1$  とこの特定データ記録領域期間の開始タイミングを表わす“H”のタイミング制御信号  $S_2$  を生成出力する。ここで、期間制御信号  $S_1$  のエッジは再生クロック  $\phi_p$  とタイミングが一致しており、また、タイミング制御信号  $S_2$  はその立上りエッジが再生クロック  $\phi_p$  のタイミングと一致してこの再生クロック  $\phi_p$  の 1 周期に等しいパルス幅である。期間制御信号  $S_1$  は、図 1 に示すように、演算回路 1 1 に供給される。

【 0 0 3 9 】図 5 に戻って、レジスタ 1 2 c はタイミン

グ制御信号  $S_2$  によってこれまで保持していたデータがクリアされ、“H”の期間制御信号  $S_1$  の信号期間加算器 1 2 b の出力データを順次取り込み、期間制御信号  $S_1$  が供給されなくなると、この期間制御信号  $S_1$  の立下りエッジ時点に取り込んだ加算器 1 2 b の出力データをタイミング制御信号  $S_2$  でクリアされるまで保持し続ける。また、加算器 1 2 b は加算器 6（図 1）の出力デジタルデータ E P D とレジスタ 1 2 c の出力データとを加算し、レジスタ 1 2 c に送る。

【 0 0 4 0 】特定データ領域検出器 1 2 a から期間制御信号  $S_1$  が出力されると、図 1 においては、演算回路 1 1 が、この期間制御信号  $S_1$  の信号期間、乗算器 4、5 の利得を 0 にし、3 タップデジタルトランスバースフィルタのタップ係数を 0 にして無等化特性状態とし、特定データ領域から再生されたデジタルデータを等化処理しないでオフセット検出回路 1 2 に供給する。そこで、図 5 においては、入力デジタルデータ E P D が等化処理されていない特定データ領域からのデジタルデータであり、これと最初クリアされるレジスタ 1 2 c の出力データとが加算器 1 2 b で加算され、その加算値がレジスタ 1 2 c に送られる。

【 0 0 4 1 】ここで、3 タップデジタルトランスバースフィルタから供給される入力データ E P D は、図 4 に示した特定パターンデータのデジタルデータでのサンプルデータからなり、このサンプルデータが加算器 1 2 b に供給される毎にレジスタ 1 2 c の出力データがこのサンプルデータと加算され、その加算値がレジスタ 1 2 c で保持され、この保持された加算値が次に供給されるサンプルデータと加算器 1 2 b で加算されて、次の加算に備えてレジスタ 1 2 c に保持される。即ち、加算器 1 2 b とレジスタ 1 2 c とにより、特定パターンデータのサンプルデータ値が累積され、その累積値がレジスタ 1 2 c に保持されることになる。従って、特定データ領域の再生が終了したときには、図 4 に示す特定データでの全てのサンプルデータの値の総和を表わす値（総和値）がレジスタ 1 2 c に保持されることになる。

【 0 0 4 2 】ところで、図 4 に示す特定パターンデータの平均レベルのデジタル値が、この特定データ記録領域を含むセクタでの情報データの上記入力オフセット量 O F F d である。一方、特定データ記録領域の再生終了後にレジスタ 1 2 c に保持される上記総和値は、図 4 に示す特定パターンデータのサンプルタイミングでのレベルの総和を表わすものであるから、この総和値の平均値、即ち、この総和を特定データ記録領域でのサンプル数で除算したものが入力オフセット量 O F F d ということになる。この除算が除算器 1 2 d で行なわれる。

【 0 0 4 3 】このようにして入力オフセット量 O F F d が求められるが、A/D 変換器 1 のサンプリング周波数を特定して特定パターンデータのサンプル数を 2 の m 乗個とすれば、得られた総和値からその平均値を求める 2

10

20

30

40

50

のm乗による除算は、レジスタ12cの出力データをmビット最下位ビット方向にシフトすることにより容易に行なうことができる。除算器12dはこのようにmビットシフトするものであって、例えばシフトレジスタとなり、期間制御信号 $S_i$ の立下りエッジでシフトレジスタ12cの出力データをmビットシフトするようにして取り込む。これにより、除算器12dから入力オフセット値OFFdが得られる。

【0044】このようにして情報データが再生される前に得られるレジスタ12cの出力データは入力オフセット値OFFdとして図1の閾値制御回路9で取り込まれ、これに応じて閾値が制御される。しかし、この場合、除算器12dは必須のものではなく、レジスタ12cに得られる総和値の除数は一定であるから、レジスタ12cの出力データを入力オフセット値OFFdとして扱ってもよい。

【0045】さて、以上のように、等化処理によって再生信号のオフセットレベルに変動があると、図7に示されるように、再生信号PSの“1”、“0”ビットの判別に必要な閾値SLaに対し、等化処理後ではSLbと変動する。ここで、等化処理前の閾値SLaに対して等化処理後の閾値SLbは次の数3で表わされる。

【0046】
$$SLb = SLa \cdot (1 + 2 \cdot C_i) \dots\dots\dots (数3)$$

但し、 $C_i$ は上記のように、3タップトランスバーサルフィルタのタップ係数である。この数3から、等化処理後の閾値SLbは等化処理前の閾値SLaと3タップトランスバーサルフィルタの係数 $C_i$ によって求まる。

【0047】等化処理前の閾値SLaは、再生信号PSの振幅の中心値であり、オフセット検出回路12で求められる入力オフセット値OFFdとすることができる。この閾値制御回路9はこの入力オフセット値OFFdと3タップトランスバーサルフィルタの係数 $C_i$ とから閾値SLbを算出し、データ判別用比較器7を制御する。

【0048】適応型ZF法の等化処理が行なわれた再生信号の識別データと評価誤差検出データがメモリ10から読み出され、これらから評価値が演算回路11で計算され、この計算結果に応じて3タップトランスバーサルフィルタの乗算器4、5の利得が制御されてそのタップ係数が再生信号の状態に応じて変化し、評価値が更新されて最小になるように乗算器4、5の利得、従って、タップ計数が設定される。このため、タップ係数の更新のたびに等化処理された再生信号のオフセットレベルに変動が生じるが、これは、他の自動等化アルゴリズムを用いた場合も同様であり、このため、等化器のタップ係数が更新されるたびにデータ判別用比較器7での閾値を最適な値に制御する必要がある。

【0049】そこで、図1において、演算回路11は3タップトランスバーサルフィルタのタップ係数も演算し、その演算結果を閾値制御回路9に供給する。閾値制

御回路9は、タップ係数が更新されるたびに、データ判別用比較器7での閾値を上記の数3を用いて計算し、データ識別用比較器7の閾値が常に最適となるように制御する。

【0050】等化器内部の演算処理は、8ビットの入力整数データに対して演算精度を得るため、また、処理データやタップ係数によって途中の演算結果が負の値をとる場合があるために、固定小数点方式符号付き16ビット演算処理としているが、等化処理による最終データは、入力データの8ビットの範囲を越えることはない。しかし、オフセットの発生により等化処理後のデータが8ビットの範囲を越えてしまう恐れがある。このため、等化処理された再生デジタルデータの“1”、“0”ビットを判別するデータ判別用比較器7としては、符号付き16ビットの比較器を用いる。これにより、図10に示すような等化処理によるオフセットレベル変動が生じた場合、8ビットの範囲では等化演算処理されたデジタルデータがオーバーフローもしくはアンダーフローして“1”、“0”ビットの判別の際のデータ誤りの発生が回避できる。

【0051】なお、以上説明した実施例では、タップ係数の演算、入力オフセット値の演算、閾値の演算を個別の演算装置で行なうとしているが、これらを1つの演算装置で実行させることも可能であり、特にマイクロコンピュータを用いれば、その実現は容易である。これにより、従来の自動等化器と同程度の回路規模でもって、オフセットによる問題を解決し、データ再生の信頼性を向上させることができる。

【0052】図8は本発明による情報再生装置の他の実施例を示すブロック図であって、13はレベル変動補正回路であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0053】同図において、タップ係数の更新や入力オフセットによるデジタル自動等化による等化演算処理後のデジタルデータEPDのオフセットレベルの変動をレベル変動補正回路13によって補正する。即ち、レベル変動補正回路13は、オフセット検出回路12からの入力オフセット値OFFd、演算回路11によるタップ係数 $C_i$ から、上記数1を用いて、オフセットレベルの変動量を計算し、等化演算処理されたデジタルデータEPDに対して、オフセットレベルの変動を補正する。このレベル変動補正回路13の出力データがデータ判別用比較器7及び等化誤差検出用比較器8に供給される。

【0054】図9は図8におけるレベル変動補正回路13の一具体例を示すブロック図であって、13aはレジスタ、13bは演算器である。

【0055】同図において、レジスタ13aには、オフセット検出回路12（図8）からの入力オフセット値OFFdが格納されている。演算器13bは、レジスタ1



3 a に格納された入力オフセット値  $OFFd$  と演算回路 11 から供給されるタップ係数  $C_i$  の値を用いて、数 1 により、オフセットレベルの変動量  $Ld$  を算出し、この変動量  $Ld$  に応じて供給される等化演算処理後のデジタルデータ  $EPD$  を補正し、オフセットレベルの変動を補正する。

【0056】このようにして、レベル変動補正回路 13 で等化演算処理後のデジタルデータのオフセットレベルの変動を補正することにより、データ判別用比較器 7 の閾値はタップ係数によって変動することはない。このため、自動等化によってタップ係数が更新された場合でも、再生信号  $PS$  のオフセットレベルが異なっても、この閾値の補正を行なう必要がなく、固定値とすることができる。また、オフセットレベルの変動が補正されているため、等化演算処理を行なった後でも、オーバーフローもしくはアンダーフローが発生せず、データ判別用比較器 7 として  $A/D$  変換器の量子化ビット数と同じビット数の比較器を用いても、信頼性の高い情報データの再生を行なうことができる。

【0057】また、オフセットレベルの変動の補正は、等化処理前に行ってもよい。等化処理前の再生信号に対して、オフセット検出回路 12 により求められた入力オフセット値  $OFFd$  の補正を行なっても同様な効果を得ることができる。

【0058】なお、以上の実施例では、自動等化器を 3 タップトランスバーサルフィルタとしているが、3 タップ以上のタップ数にした場合や、トランスバーサルフィルタとは異なる等化器とした場合においても、閾値制御回路 9 もしくはレベル変動補正回路 13 の計算式を変更することにより対応できる。また、自動等化器のアルゴリズムとしては、 $ZF$  法だけでなく、他のアルゴリズムを用いることも可能である。

【0059】

【発明の効果】以上説明したように、本発明によれば、デジタル自動等化回路を用いた場合に発生する等化演算処理後のデジタルデータのオフセットレベルの変動による影響を除去することができ、信頼性の高い情報再生を行なうことができる。

【図面の簡単な説明】

【図 1】本発明による情報再生装置の一実施例を示す回路ブロック図である。

【図 2】図 1 における  $A/D$  変換器の入力設定を示す図である。

【図 3】光ディスクの記録データフォーマットの一例を示す図である。

【図 4】図 3 で示した記録データフォーマットでの特定パターンデータの一例を示す図である。

【図 5】図 1 におけるオフセット検出回路の一具体例を示すブロック図である。

【図 6】図 5 における各制御信号を示す波形図である。

【図 7】等化処理による最適閾値の変化を示す図である。

【図 8】本発明による情報再生装置の他の実施例を示す回路ブロック図である。

【図 9】図 8 におけるレベル変動補正回路の一具体例を示すブロック図である。

【図 10】デジタルデータの等化処理によるオフセットレベルの変動を示す図である。

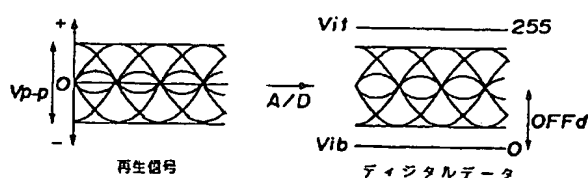
【図 11】3 タップデジタルトランスバーサルフィルタを示す構成図である。

【符号の説明】

- 1  $A/D$  コンバータ
- 2, 3 ラッチ
- 4, 5 乗算器
- 6 加算器
- 7 データ判別用比較器
- 8 等化誤差検出用比較器
- 9 閾値制御回路
- 10 メモリ
- 11 演算回路
- 12 オフセット検出回路
- 12 a 特定データ領域検出器
- 12 b 加算器
- 12 c レジスタ
- 12 d 除算器
- 13 レベル変動補正回路
- 13 a レジスタ
- 13 b 演算器

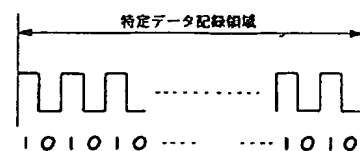
【図 2】

図 2



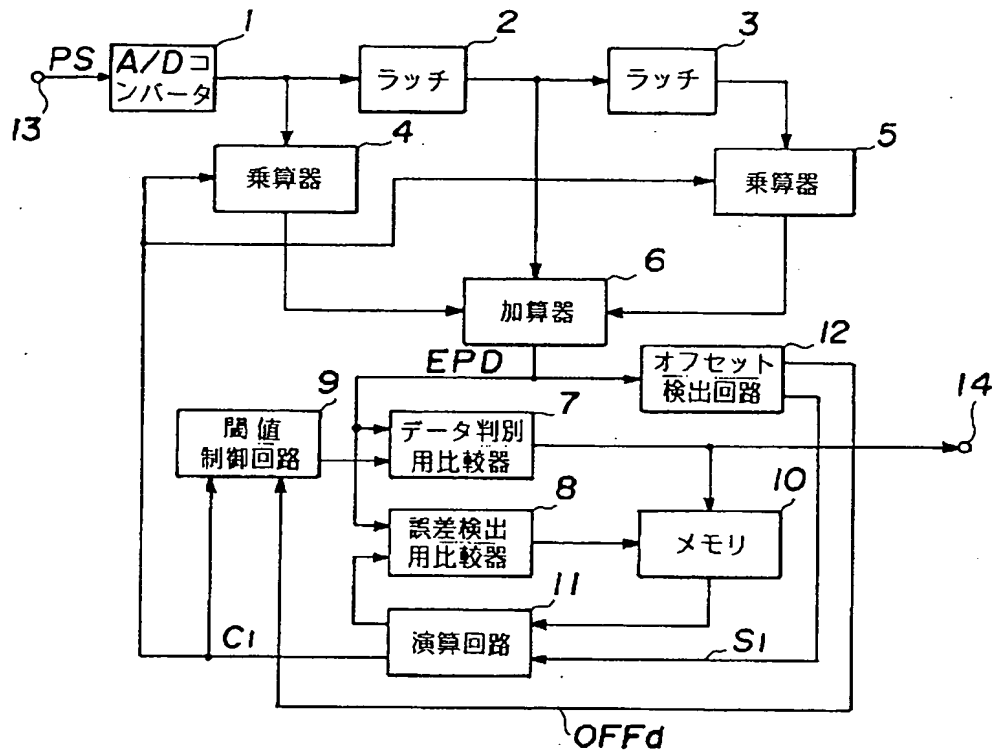
【図 4】

図 4



【图 1】

图 1



【図 3】

【図 6】

图 3

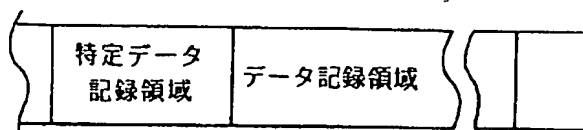
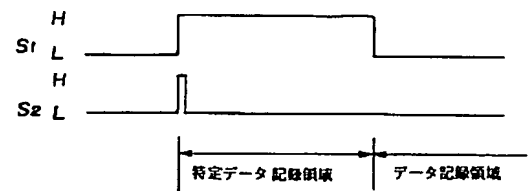


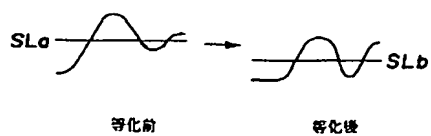
图 6



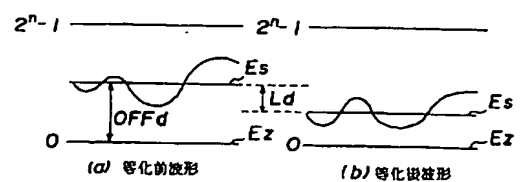
【図 10】

【图 7】

7

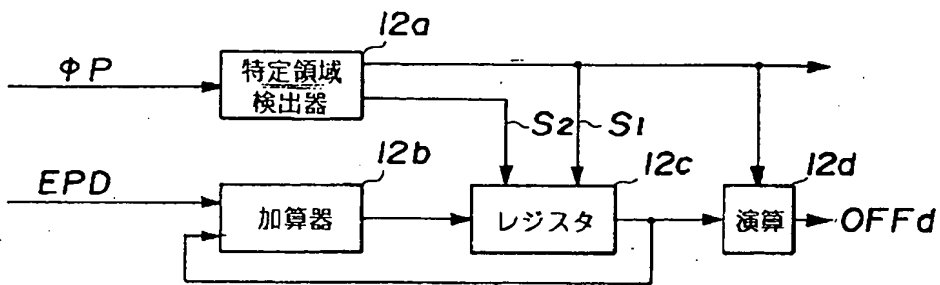


10



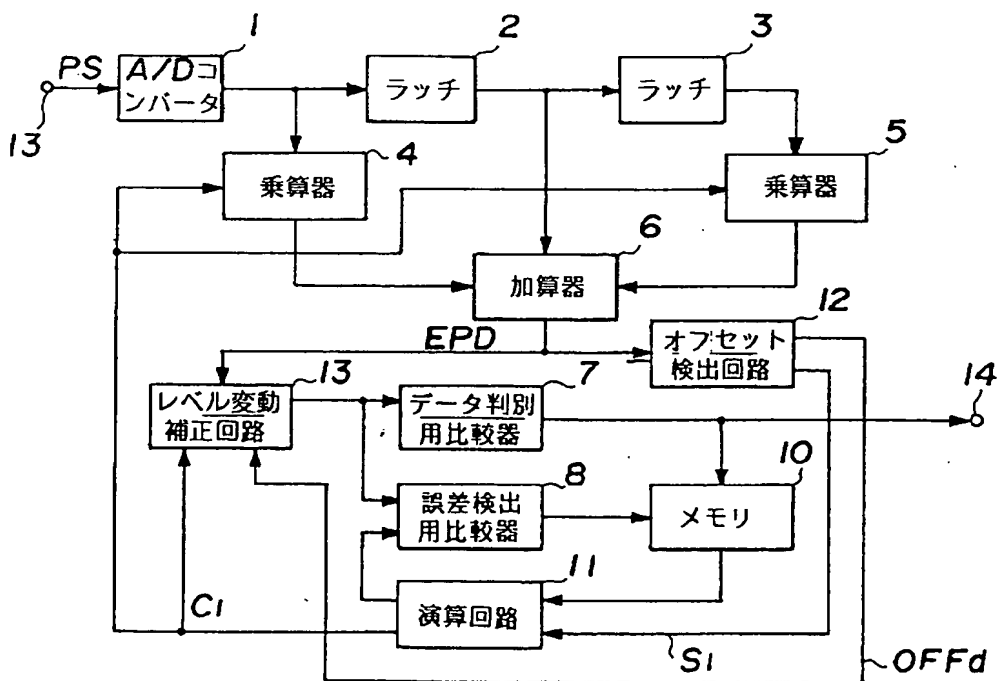
【図 5】

图 5



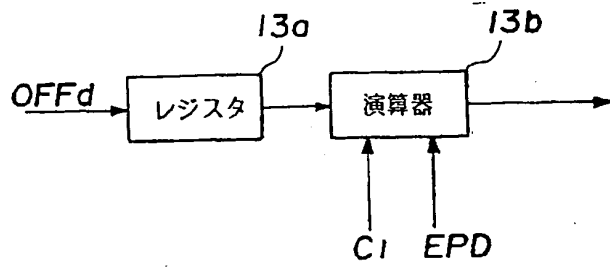
【図 8】

图 8



【図 9】

図 9



【図 11】

図 11

